

一种无需 ADC 的变步长反馈 DC-DC 转换器数控方式

原 钢,石 寅

(中国科学院半导体研究所,北京 100083)

摘 要: 数控 DC-DC 变换器由于其自身的特点,易于与数字系统进行单片集成。DC-DC 的数字控制算法有很多种,其中比较复杂的算法(如 PID)需要在片内集成 ADC,增加了设计难度。较为简单的控制方案只使用单一的比较器作为反馈输入部件,但动态性能较差。本文在已有的单比较器恒定步长反馈数控 Buck 转换器的基础上,提出了一类变步长反馈的方案。由于仍使用单比较器或窗口比较器,它的结构简单且易于集成。它借鉴了对分搜索的思路,能根据输出电压反馈的结果动态地改变占空比的变化步长,从而明显地提高了原有恒定步长反馈数控变换器的动态性能。

关键词: DC-DC 转换器; 数字控制器; 电压反馈

中图分类号: TN304

文献标识码: A

文章编号: 0372-2112 (2003) 05-0732-05

A Digital Control Scheme for the DC-DC Converter of No-ADC and Variable Voltage-Step Feedback

YUAN Gang, SHI Yin

(Institute of Semiconductors, Chinese Academy of Sciences, Beijing 100083, China)

Abstract: According to the specific characteristics, digital DC-DC converters are easy to be integrated with other digital systems. There exist many digital control algorithms, and some complex algorithms need integrated ADCs, which enhance the difficulty of designing. Some simple schemes use single comparator as the feedback input, showing poor dynamic performance. A new digital control scheme for DC-DC converter with variable voltage-step feedback was presented and it is based on the Buck converter of no-ADC, single-comparator and constant voltage-step feedback. Because only single comparators or window comparators are used, this scheme is easy to be implemented. It can dynamically alter the duty-cycle increments according to the feedback input, which can effectively reduce the dynamic response time under sudden changes of the application environment without enhancing the complexity of the architecture notably.

Key words: DC-DC converter; digital controller; voltage feedback

1 引言

集成电路进入系统级集成,功耗是面临的主要问题之一。片内的不同子系统采用不同的工作电压,甚至同一模块在不同的工作时间采用不同的工作电压,是降低系统功耗的有效途径^[1]。DC-DC 转换器以及嵌入式的 DC-DC 模块是实现这一方案的关键技术之一。相比于传统的模拟控制方式,数字控制的 DC-DC 转换器易于实现系统集成(SOC),且具有抗干扰能力强、效率高、开发周期短和反馈机制易于调整等优势,逐渐成为主流^[2]。

一些应用中,对 DC-DC 转换器的输出电流摆率、输出电压恢复时间、电压波纹、电压精度等特性要求较高。此时转换器的控制需采用复杂的硬件(如 DSP)和复杂的算法(如 PID),配以高速高精度 ADC,以及采用多相交错结构等技术^[3]。事实

上,对于变换器而言,方案越复杂,变换效率往往越低。尤其是在控制器中集成混合信号的 ADC 电路,加大了芯片的设计难度,且占用了较大的芯片面积。在很多应用场合,DC-DC 变换器的上述性能稍低并不影响实用,此时没有必要使用过于复杂的控制方式,而可在满足应用要求的前提下采用简化的数控方案^[4],以降低成本,提高效率。本文在一类不使用 ADC 的数控 Buck 转换器的基础上,提出了一种变步长反馈数控 DC-DC 转换器新方案。原理分析及 MATLAB 验证的结果表明,与原有方案相比,新方案能有效地改善变换器的动态性能,而未显著增加控制器的复杂度。

2 系统的基本结构

本文讨论的 DC-DC 控制器系统基本结构如图 1(a)所示。图中关键的数字控制核心包括时钟发生器、I/O 接口、运算控

制器以及 PWM 发生器等部件。功率 NMOS 和 PMOS 在数字控制核心的控制下,对输入电源电压 V_{in} 进行脉冲宽度调制 (PWM),生成的 PWM 电压信号 V_i 经 LC 网络滤波后输出平稳的直流电压 V_o 。数字控制器从反馈输入端对 V_o 进行取样,与参考电压进行比较后调整 PWM 信号 V_i 的占空比,使输出电压跟踪参考电压。当负载较轻时,控制单元可包含电感电流过零检测的机制,及时关断续流 NMOS,使电路进入电流断续工作模式,以减小传导损耗^[6]。微功率 DC-DC 转换器的功率 MOSFET 可以集成在芯片内部,较大数值的电感和电容需要外接。数字控制器使用二进制寄存器来存储占空比。若寄存器的位数为 N ,在输入电源电压为 V_{in} 时,能实现的输出电压分辨率 V_o 为:

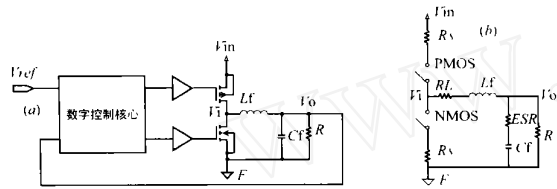


图 1 (a) 数控 Buck 转换器基本结构; (b) 等效电路

$$V_o = V_{in}/2^N \tag{1}$$

功率 MOSFET 的传导损耗和开关损耗是影响 DC-DC 转换效率的主要因素,文献[5]说明了在低压低频情况下,使用硬开关配合同步整流器是比较好的方案。

功率开关和 LC 滤波网络的等效电路如图 1(b) 所示。其中 R_L 为电感电阻, R_S 为开关导通电阻, ESR 为电容的串联等效电阻,设负载为纯电阻。忽略 R_S 、 R_L 和 ESR 时,电感电流连续模式下的平均输出电压 \bar{V}_o 和相对电压波纹 V_o/\bar{V}_o 分别由式(2)和(3)给出:

$$\bar{V}_o = D \cdot V_{in} \tag{2}$$

$$\frac{V_o}{\bar{V}_o} = \frac{2}{2} \left[\frac{f_c}{f_s} \right]^2 (1 - D) \tag{3}$$

其中, $f_s = 1/T_s$ 为开关频率, $f_c = 1/2 \sqrt{L_f C_f}$ 为 LC 网络的特征频率, D 为 PWM 信号 V_i 的占空比^[7]。在电感电流连续模式下,输出电压的平均值及波纹大小与负载电阻无关。忽略 R_L 和 R_C , LC 滤波网络完成单位阶跃响应所需的时间 t_a 为:

$$t_a = - \frac{2L_f}{R_s} \ln a - \frac{L_f}{R_s} \ln \left(1 - \frac{R^2 C_f}{4L_f} \right) \tag{4}$$

式中的 a 是定义瞬态响应结束的电压阈值振幅。当电容很大时,式(4)中的第二项可忽略,此时完成瞬态响应的时间与滤波电容 C_f 的大小无关。

3 使用单一比较器处理采样电压的反馈控制方案

3.1 基本方案

文献[6]介绍了采用单比较器和恒定步长反馈的数字控制器基本方案。这种控制器的输出电压变化步长等于式(1)给出的电压分辨率,其工作流程如图 2 所示。

图 2 中的 $dreg$ 为占空比寄存器的值。 $dreg$ 随输出电压或参考电压的变化而改变,并送到 PWM 发生器, PWM 电压信号滤波后得到调整后的输出电压。若使用单一比较器,输出电压

会出现振幅等于最小电压分辨率的振荡。采用窗口比较器可以消除此现象。如果输出电压落在窗口内,则 $dreg$ 保持原有值。忽略开关频率的电压波纹时比较器窗口区间可设为 $[V_{ref} - \frac{1}{2} V_o, V_{ref} + \frac{1}{2} V_o]$ 。

在数字控制器中,对输出电压的采样反馈控制需相隔一定的时隙进行,采样时隙直接关系到数控 DC-DC 的响应速度和稳定性。选取足够大的采样时隙,待滤波网络阶跃响应的过渡过程结束后再取样有利于减小电压过冲,保持系统的稳定。由式(4)

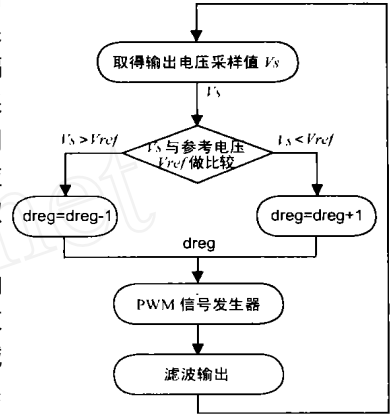


图 2 恒定步长搜索方案流程

可知,一般情况下过渡过程的持续时间由开关电阻 R_s 和滤波电感 L_f 决定,在转换效率和输出电压波纹容许的情况下,选取较大的 R_s 和较小的 L_f 能够得到较短的过渡过程。为了抑制 LC 网络本身的阶跃响应电压超调,应当适当选取滤波电容 C_f 的值,使系统接近临界阻尼条件 $R_s = 2 \sqrt{L_f/C_f}$ 。

设 DC-DC 变换器开关频率为 1MHz,电源电压 5V,负载电阻 30 Ω ,开关电阻 $R_s = 0.2 \Omega$, $L_f = 2\mu H$, $C_f = 20\mu F$,此时 LC 滤波网络完成阶跃响应约需 0.1ms(100 个开关周期)。可估算出此时输出电压变化某一幅值所需的时间。设占空比寄存器为 8 位,则它的值 $dreg$ 变化 1 所对应的输出电压变化约为 0.02V。如果参考电压从 1.6V 跳变为 3.3V,则 $dreg$ 需要变化 87(需要 87 个采样周期),如果每个采样周期包含 100 个开关周期,则输出电压完成上述跟踪需要约 8.7ms。

3.2 采用变步长反馈控制的新方案

上述基本方案中,输出电压的变化步长(即 $dreg$ 的增量)是恒定的。如果输出电压需要变化较大的数值,微小的 $dreg$ 增量会使得输出电压的转换时间很长。本文提出如下的一类新的控制方案,动态地改变步长(即 $dreg$ 的增量),提高响应速度。

使用单一比较器进行电压控制,类似于顺序表的查找问题。使用对分查找算法,可以使输出电压最快地逼近参考电压。例如在占空比寄存器为 8 位时,任意幅度的电压跟踪都可以在 8 个采样周期内完成。具体过程是当检测到输出电压与参考电压的差时,首先根据电压差的方向(即输出电压和参考电压的差 $V_s - V_{ref}$ 的正负,表明了输出电压是高于还是低于参考电压)把 $dreg$ 增或减 2^7 ,待阶跃响应结束后,比较输出电压和参考电压,如果存在差异,则 $dreg$ 继续增或减 2^6 ,重复上述过程,每次的变化量都减半。在变化量减小到 2^0 个最小电压阶之前, $dreg$ 必能达到所需要的值。例如 $dreg$ 初值为 169,终值为 82,则搜索过程对 $dreg$ 的运算步骤为: $169 - \frac{128}{41}$

$\frac{+64}{105} \frac{-32}{73} \frac{+16}{89} \frac{-8}{81} \frac{+4}{85} \frac{-2}{83} \frac{-1}{82}$. 共用了 8 个采样反馈周期. 但直接采用这种方式存在如下问题: 逼近过程的第一步总出现一个幅度为 $0.5V_{in}$ 的电压改变; 当输出电压与参考电压相差不大 (占空比只需微小调整), 逼近过程会出现初始幅度为 $0.5V_{in}$ 的衰减振荡; 现实中存在的各种电压微扰会使电路无法稳定工作. 基于这种对分搜索的原理, 为了增加稳定性和减小电压波动, 本文提出如下两种实用的变步长搜索方案. 它们都采用了一个步长寄存器 L 来表示在当前的采样时间点所需要的步长增量. 在系统初始化的时候对它置 1.

方案 1 可称之为越界复位变步长搜索. 当窗口比较器检测到输出电压和参考电压的差异, 则进入搜索模式, 下面的操作步骤是:

- (1) 根据电压差的方向对占空比寄存器进行步长为 L 的改变 (输出电压小于参考电压, 则 $dreg = dreg + L$; 否则 $dreg = dreg - L$),
- (2) 对输出电压进行取样, 如果落在了比较器窗口内, 进入步骤 (3). 否则, 若电压差的方向与上一次相同, 则将步长寄存器 L 乘以 2, 并返回步骤 (1); 若电压差的方向与上一次不同, 表明上次的增量运算使得输出电压越过了参考电压, 此时把步长 L 重置为 1, 返回步骤 (1),
- (3) 步长寄存器 L 置 1, 退出搜索模式.

工作流程如图 3.

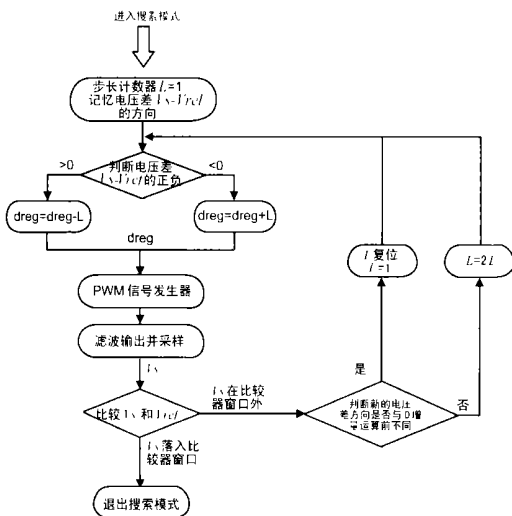


图 3 越界复位变步长搜索流程

例如占空比寄存器的值 $dreg$ 需要从 169 变化到 82, 则运算过程为:

$$169 \xrightarrow{-1} 168 \xrightarrow{-2} 166 \xrightarrow{-4} 162 \xrightarrow{-8} 154 \xrightarrow{-16} 138 \xrightarrow{-32} 106 \xrightarrow{-64} 42 \xrightarrow{+1} 43 \xrightarrow{+2} 45 \xrightarrow{+4} 49 \xrightarrow{+8} 57 \xrightarrow{+16} 73 \xrightarrow{+32} 105 \xrightarrow{-1} 104 \xrightarrow{-2} 102 \xrightarrow{-4} 98 \xrightarrow{-8} 90 \xrightarrow{-16} 74 \xrightarrow{+1} 75 \xrightarrow{+2} 77 \xrightarrow{+4} 81 \xrightarrow{+8} 89 \xrightarrow{-1} 88 \xrightarrow{-2} 86 \xrightarrow{-4} 82$$

共用了 25 个采样步. 在 $dreg = 42, 105, 74, 89$ 处发生了越界复

位.

方案 2 可称为越界递减变步长搜索, 和方案 1 略有差别. 当数字控制器检测到输出电压和参考电压的差异, 则进入搜索模式, 操作步骤是:

- (1) 根据电压差的方向对 $dreg$ 进行步长为 L 的增量.
- (2) 对输出电压进行取样, 如果落在了比较器窗口内, 进入步骤 (3). 否则, 判断电压差的方向, 若电压差的方向自开始搜索以来没有改变过, 则将步长寄存器 L 乘以 2, 并返回步骤 (1); 若电压差的方向自开始以来或者在本采样点发生了改变, 则将步长 L 除以 2, 返回步骤 (1).
- (3) 步长寄存器 L 置 1, 退出搜索模式.

工作流程图如图 4.

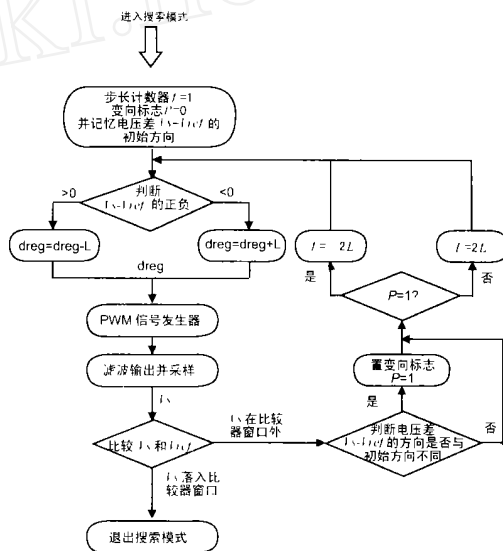


图 4 越界递减变步长搜索流程

例如 $dreg$ 需要从 169 变化到 82, 则运算过程为:

$$169 \xrightarrow{-1} 168 \xrightarrow{-2} 166 \xrightarrow{-4} 162 \xrightarrow{-8} 154 \xrightarrow{-16} 138 \xrightarrow{-32} 106 \xrightarrow{-64} 42 \xrightarrow{+32} 74 \xrightarrow{+16} 90 \xrightarrow{-8} 82$$

共用了 10 个采样步.

不难证明, 只要电源电压和参考电压在搜索过程中保持不变, 经过最多 $2N$ 个采样反馈周期 (N 为占空比寄存器的字长), 输出电压就能逼近参考电压. 如果在搜索过程中参考电压等发生了变化, 有可能出现步长 L 已经由较大值减小为 1, 但是输出电压仍未逼近参考电压的情况. 此时可以通过继续进行步长为 1 的恒定步长搜索, 或者重复进行递减变步长搜索的方法来解决. 此时输出电压逼近参考电压所需的采样反馈周期数会大于 $2N$.

以上两种变步长搜索的方案都具有较好的抗干扰和稳定性: 当输出电压、负载或电源电压等出现扰动时, 占空比只会有小幅度改变. 在占空比需要有较大改变时, 步长的变化幅度能逐渐增大, 从而缩短逼近参考电压所需的时间. 在上面的方案中, 对变化步长未加限制, 这样会导致较大的电压越界起伏. 如在上面的例子中, $dreg$ 的数值曾一度下降到 42. 统计运算表明, 如果对变化步长进行限制, 不但能有效地限制输出电

压的起伏,而且有可能进一步减小所需的采样反馈周期数.分别对字长 N 为 6~10 的情况进行了两种方案的对比统计,统计内容为 $dreg$ 从 $0 \sim (2^N - 1)$ 变化到 $0 \sim (2^N - 1)$ 的 2^{2N} 种组合所需要的平均步数及最大步数.统计结果列于如下的表 1(a) - (e) 中.

表 1 (a) - (e) N 不同时两种搜索方案的统计对比

搜索算法	平均步数	最大步数	搜索算法	平均步数	最大步数
单步恒定步长	21.3	63	单步恒定步长	42.7	127
复位无上限	10.2	22	复位无上限	13.4	29
复位,上限 2	12.9	34	复位,上限 4	14.7	37
复位,上限 4	9.3	21	复位,上限 8	11.6	25
复位,上限 8	8.7	17	复位,上限 16	11.4	22
复位,上限 16	9.4	18	复位,上限 32	12.4	24
递减无上限	8.1	12	递减无上限	9.9	14
递减,上限 2	12.9	34	递减,上限 4	14.5	36
递减,上限 4	9.1	20	递减,上限 8	10.8	22
递减,上限 8	7.9	14	递减,上限 16	9.7	16
递减,上限 16	7.9	12	递减,上限 32	9.7	14

(a) $N = 6$ (64 阶)

(b) $N = 7$ (128 阶)

搜索算法	平均步数	最大步数	搜索算法	平均步数	最大步数
单步恒定步长	85.3	255	单步恒定步长	170.7	511
复位无上限	17.1	37	复位无上限	21.3	46
复位,上限 8	17.1	41	复位,上限 16	20.0	46
复位,上限 16	14.5	30	复位,上限 32	17.8	36
复位,上限 32	14.7	28	复位,上限 64	18.5	35
复位,上限 64	16.0	31	复位,上限 128	20.1	39
递减无上限	11.8	16	递减无上限	13.8	18
递减,上限 8	16.2	38	递减,上限 16	18.1	40
递减,上限 16	12.7	24	递减,上限 32	14.6	26
递减,上限 32	11.6	18	递减,上限 64	13.6	20
递减,上限 64	11.6	16	递减,上限 128	13.6	18

(c) $N = 8$ (256 阶)

(d) $N = 9$ (512 阶)

搜索算法	平均步数	最大步数
单步恒定步长	341.3	1023
复位无上限	26.0	56
复位,上限 32	23.4	52
复位,上限 64	21.7	43
复位,上限 128	22.7	43
复位,上限 256	24.6	48
递减无上限	15.7	20
递减,上限 32	20.1	42
递减,上限 64	16.5	28
递减,上限 128	15.5	22
递减,上限 256	15.5	20

(e) $N = 10$ (1024 阶)

取得合适,同样可以提高搜索效率.实际应用时可根据对电压起伏和搜索效率(即响应时间)的要求选取合适的步长上限.例如,在 $N = 8$ 时(搜索域为 256 个电压阶),对于越界复位算法,当设定最大步长为 16 时,可以获得最好的搜索效率.搜索算法带来的电压起伏为 $16/256 = 6.25\%$,在电源为 5V 时约 0.3V.对于越界递减变步长算法,当设定最长步长为 32 时,搜索效率最高,若考虑限制输出电压的越界起伏,可设定上限为 16,此时搜索效率略微下降.

4 仿真结果

上文分析可见,所提出的两种变步长搜索方案,在占空比变化较小时与文献[6]中方案的逼近时间相近,而在需要较大的占空比改变(例如参考电压或者负载有较大突变)时能有效地缩短逼近时间,较大地改善 DC-DC 转换器在应用环境突变下的动态响应特性.

图 5 和图 6 分别为用 MATLAB 模拟的方案 1 和方案 2 的动态响应过程.横坐标为时间 t ,纵坐标为输出电压 V_o .系统模拟参数为:开关频率 1MHz,电源电压 $V_{in} = 5V$,负载电阻 $R = 30$;占空比寄存器 8 位(电压分辨率 20mV); $R_s = 0.2$, $L_f = 2\mu H$, $C_f = 20\mu F$.此时, V_o 的波纹约 4mV,完成瞬态响应所需时间约为 0.1ms.控制器的采样时间间隔定在 100 个开关周期,步长上限设定为 16(约 0.3V).在时间 $t = 0.1ms$ 时,参考电压从 1.6V 跳变到 3.3V.方案 1 和方案 2 分别用了约 1.2ms 和 1.1ms 来逼近参考电压,低于恒定步长搜索时的 8.7ms.

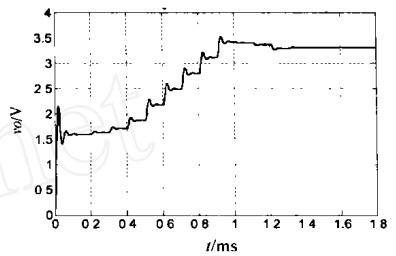


图 5 越界复位变步长搜索

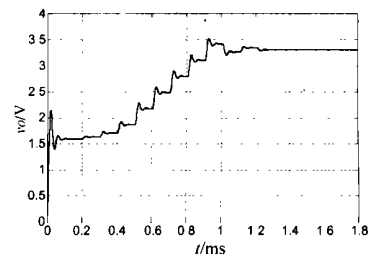


图 6 越界递减变步长搜索

在图 5 和图 6 中,大约在 $t = 0.9ms$ 时,输出电压超过了参考电压,在下一个采样反馈点,两种方案分别进行了步长复位操作和步长递减操作.

采用越界复位算法设计了 DC-DC 转换器的原型电路,设计参数为:电源电压 5V, $N = 7$ (128 阶,电压分辨率 39mV);开关频率 1MHz,功率管开关电阻 $R_s = 0.3$, $L_f = 5\mu H$, $C_f = 47\mu F$;取样间隔 64 个开关周期;使用单比较器作反馈输入.此电路采用 CSMC 0.6 μm 工艺实现,已送去流片测试.对此变转换器进行了全电路 SPICE 仿真,在图 7 中所示的动态仿真结果中,

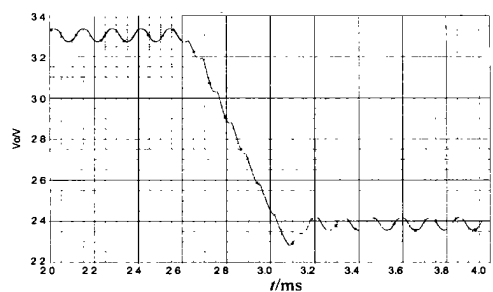


图 7 转换器原型电路的动态特性仿真结果

坐标为输出电压 V_o , 横坐标为时间 t ; 负载电阻 10Ω , 参考电压在 2.5ms 时从 3.3V 跳变到 2.4V. 电压调整过程用了约 0.5ms; 完成同样的过程, 若采用单步恒定步长则需要约 1.5ms. 图中的电压波动是由于只采用单一比较器造成的, 使用窗口比较器可消除这一现象.

5 结论

本工作选择无需 ADC 的嵌入式数字 DC-DC 变换器为研究目标, 提出了一类单比较器、变步长反馈数控的新方案. 原理分析及仿真表明, 新方案较大地改善了 DC-DC 转换器在应用环境突变下的动态响应特性, 有效缩短了诸如参考电压或负载发生突变时的输出电压逼近时间. 这种控制方式结构相对简单, 全数字方式控制灵活性大, 转换效率高, 设计难度低, 适合很多场合下的嵌入式应用.

参考文献:

- [1] James Godman, Abram P Dancy, Anantha P Chandrakasan. An energy/ security scalable encryption processor using an embedded variable voltage DC/DC converter [J]. IEEE J Solid-State Circuits, 1998, 33 (11): 1799 - 1809.
- [2] T W Martin, S S Ang. Digital control for switching converters [A]. IEEE Int. Symp. On Industrial Electronics [C]. 1995. 480 - 484.
- [3] A M Wu, Jinwen Xiao, D Markovic, S R Sanders. Digital PWM control: application in voltage regulation modules [A]. 30th Annual IEEE Power Electronics Specialists Conference [C]. Charleston, SC, USA, 1999, 1.

1999, 1.

- [4] C H Tso, J C Wu. An integrated digital PWM DC/DC converter [A]. IEEE ICECS 2000 [C]. 2000. 1. 104 - 107.
- [5] Jung S H, Jung N S, Hwang J T, Cho G H. An integrated CMOS DC-DC converter for battery-operated systems [A]. IEEE Annual Power Electronics Specialists Conference [C]. 1999. 43 - 47.
- [6] A Dancy, A P Chandrakasan. Ultra low power control circuits for PWM converters [A]. Proc. IEEE Power Electronics Specialists Conf [C]. 1997. 21 - 27.
- [7] Jai P Agrawal. Power Electronic Systems Theory and Design [M]. Prentice-Hall Inc, 2001.

作者简介:



原 钢 男, 1978 年 2 月生于北京, 1996 年 9 月考入清华大学电子工程系物理电子与光电子技术专业学习, 2000 年 7 月获学士学位, 同年进入中国科学院半导体研究所固体电子学与微电子专业攻读硕士学位, 研究方向为嵌入式 DC-DC 转换器设计.

石 寅 男, 1951 年 7 月生于江苏, 1986 年于中国科学院半导体研究所取得博士学位, 1988 年 11 月至 1990 年 5 月于德国汉堡工业大学任客座研究员, 现任中国科学院半导体研究所研究员, 博士生导师, 长期从事新型高速电路, 高速 A/D, D/A 变换器的研究, 获得各级奖励多项, 发表科技论文 40 余篇, 报国家专利多项.